

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-282878

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/407			G 1 1 C 11/34	3 5 4 F
H 0 2 M 3/07			H 0 2 M 3/07	

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願平8-86501

(22) 出願日 平成8年(1996)4月9日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 富嶋 茂樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

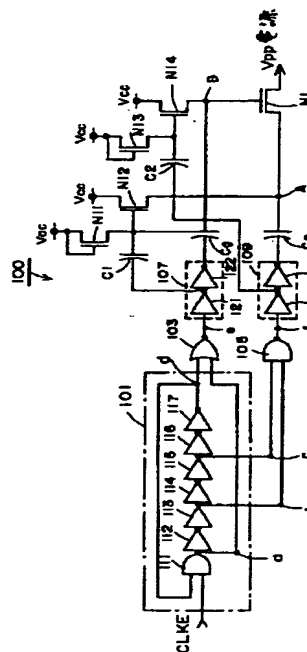
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 電位発生回路

(57) 【要約】

【課題】 V_{pp} 電源からの電流の逆流を防止し、安定したレベルの電位を V_{pp} 電源に供給することにより消費電流を抑えることが可能な電位発生回路を提供する。

【解決手段】 リングオシレータ 101 からの出力信号 CLK b, CLK c とが NAND 回路 105 で合成されたパルス信号 S f によりキャパシタ C p を介して NMOS トランジスタ N 1 のドレイン電極に昇圧電圧が供給され、出力信号 CLK a, CLK d とが NOR 回路 103 で合成されたパルス信号 S e によりキャパシタ C g を介して NMOS トランジスタ N 1 のゲート電極に電圧が与えられる。ドレイン電極に昇圧電圧の供給開始後からゲート電極に電圧が与えられ NMOS トランジスタ N 1 がオンし、ゲート電極に電圧が与えられなくなり NMOS トランジスタ N 1 がオフしてからドレイン電極への昇圧電圧の供給が中止される。



1

【特許請求の範囲】

【請求項1】 トランジスタと、

前記トランジスタのゲート電極に接続された一方電極を有する第1のキャパシタと、

前記トランジスタのソース／ドレイン電極に接続された一方電極を有する第2のキャパシタと、

第1のタイミングで、前記第1のキャパシタの他方電極に第1の所定電圧の供給を開始し、前記第1よりも遅い第2のタイミングで、前記第2のキャパシタの他方電極に第2の所定電圧の供給を開始し、前記第2のタイミングよりも遅い第3のタイミングで、前記第2のキャパシタの他方電極に前記第2の所定電圧の供給を中止し、前記第3のタイミングよりも遅い第4のタイミングで、前記第1のキャパシタの他方電極に前記第1の所定電圧の供給を中止する電圧供給手段と、を備えた電位発生回路。

【請求項2】 前記電圧供給手段は、

直列接続された奇数個のインバータを有するリングオシレータを備え、前記奇数個のインバータのうち、第1のインバータからは第1のパルス信号が出力され、前記第1のインバータから奇数番目にある第2のインバータからは第2のパルス信号が出力され、前記第2のインバータから奇数番目にある第3のインバータからは第3のパルス信号が出力され、前記第3のインバータから奇数番目にある第4のインバータからは第4のパルス信号が出力され、

前記第1のパルス信号と前記第4のパルス信号とが入力され、その出力信号を前記第1のキャパシタの他方電極に入力する第1の論理回路と、

前記第2のパルス信号と前記第3のパルス信号とが入力され、その出力信号を前記第2のキャパシタの他方電極に入力する第2の論理回路と、をさらに備えた請求項1に記載の電位発生回路。

【請求項3】 前記電圧供給手段は、

パルス信号を生成するパルス信号生成手段と、

前記パルス信号生成手段で生成されたパルス信号をもとに、前記第1のキャパシタの他方電極に前記第1の所定電圧を供給する第1の論理回路と、

前記パルス信号生成手段で生成されたパルス信号をもとに、前記第2のキャパシタの他方電極に前記第2の所定電圧を供給する第2の論理回路と、を備えた請求項1に記載の電位発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電位発生回路に関し、特に、V_{pp}電源に昇圧電圧V_{pp}を供給する昇圧電位発生回路、または、V_{bb}電源に負電圧V_{bb}を供給する負電位発生回路に関する。

【0002】

【従来の技術】図11は、従来の第1の昇圧電位発生回

2

路1100を示す回路図である。

【0003】図11を参照して、第1の昇圧電位発生回路1100は、クロック信号生成回路401と、バッファ107、109と、キャパシタC_g、C_p、C₁、C₂と、NチャネルMOSトランジスタ（以下、NMOSトランジスタと略す）N1、N11～N14とを備えている。バッファ107は、インバータ121、122を含み、バッファ109は、インバータ123、124を含む。

【0004】バッファ107において、インバータ121、122は直列に接続され、キャパシタC_gの他方電極は、バッファ107のインバータ122の出力ノードに接続されている。バッファ109において、インバータ123、124は直列に接続され、キャパシタC_pの他方電極は、バッファ109のインバータ124の出力ノードに接続されている。

【0005】クロック信号生成回路401の出力ノードは、バッファ107のインバータ121の入力ノードとバッファ109のインバータ123の入力ノードとに接続されている。キャパシタC_gの一方電極は、ノードBでNMOSトランジスタN1のゲート電極に接続されている。キャパシタC_pの一方電極は、ノードAでNMOSトランジスタN1のドレイン電極に接続されている。

【0006】NMOSトランジスタN11、N12とキャパシタC₁とよりブリチャージ回路が構成され、ノードAは電源電位V_{cc}レベルにブリチャージされる。また、同様に、NMOSトランジスタN13、N14とキャパシタC₂とによりブリチャージ回路が構成され、ノードBは電源電位V_{cc}レベルにブリチャージされる。

【0007】図12は、図11のクロック信号生成回路401の一例であるリングオシレータを示す回路図である。

【0008】図7を参照して、クロック信号生成回路（リングオシレータ）401は、NAND回路701と、NAND回路701に直列に接続された6つのインバータ701～707とを備えている。

【0009】NAND回路701の一方の入力ノードには、インバータ707の出力信号が入力され、他方の入力ノードには、クロックイネーブル信号CLK_Eが入力されている。このクロックイネーブル信号CLK_EがH（論理ハイ）レベルのとき、クロック信号生成回路（リングオシレータ）401は活性化されクロック信号CLKを出力し、クロックイネーブル信号CLK_EがL（論理ロー）レベルのとき、クロック信号生成回路（リングオシレータ）401は不活性化されクロック信号CLKの出力を中止する。

【0010】よって、第1の昇圧電位発生回路1100の動作が開始されると、まず、クロック信号生成回路401からクロック信号CLKがバッファ107、109に入力され、キャパシタC_p、C_gの電位がV_{cc}レベ

ルまで昇圧される。これにより、ノードA、Bの電位は、容量結合により、それぞれ V_{cc} レベルから2倍の V_{cc} ($2 \times V_{cc}$) レベルまで上昇する。この ($2 \times V_{cc}$) レベルに昇圧された電圧が、NMOSTランジスタN1を介して V_{pp} 電源ノードに供給される。このとき、 V_{pp} 電源ノードには、NMOSTランジスタN1のしきい値電圧 (V_{thn}) 分低い ($2 \times V_{cc} - V_{thn}$) レベルの電圧が与えられる。

【0011】図13は、従来のトリプルウェル構造を用いた第2の昇圧電位発生回路1300を示す回路図である。

【0012】図13を参照して、第2の昇圧電位発生回路1300は、図11の第1の昇圧電位発生回路1100において、NMOSTランジスタN1をトリプルウェル構造のNMOSTランジスタN1' に置換えたものである。

【0013】トリプルウェル構造のNMOSTランジスタN1' において、ドレイン電極とp型ウェルはトリプルウェル構造により接続されているため、p型ウェルからソース電極のn'へpn接合で電位が伝えられる。よって、 V_{pp} 電源ノードは、($2 \times V_{cc}$) レベルよりもpn接合電圧 V_{jv} 低い ($2 \times V_{cc} - V_{jv}$) レベルとなる。

【0014】しかし、上記しきい値電圧 V_{thn} よりもpn接合電圧 V_{jv} の方が小さいため、第2の昇圧電位発生回路1300は、第1の昇圧電位発生回路1100よりも高いレベルの昇圧電圧を V_{pp} 電源ノードに供給することができる。

【0015】図14は、従来の第3の昇圧電位発生回路1400を示す回路図である。図14を参照して、第3の昇圧電位発生回路1400は、図11の第1の昇圧電位発生回路1100において、クロック信号生成回路401の出力ノードとキャパシタCgの他方電極との間にレベル変換回路1401を接続したものである。

【0016】図15は、図13のレベル変換回路1401の一例を示す回路図である。図15を参照して、レベル変換回路1401は、PMOSTランジスタ1501、1502と、NMOSTランジスタ1503、1504と、インバータ1505とを備えている。

【0017】PMOSTランジスタ1501、1502の各々のソース電極は、ともに V_{pp} 電源に接続されている。PMOSTランジスタ1501のドレイン電極は、PMOSTランジスタ1502のゲート電極と、NMOSTランジスタ1503のドレイン電極とに接続され、PMOSTランジスタ1502のドレイン電極は、PMOSTランジスタ1501のゲート電極と、NMOSTランジスタ1504のドレイン電極とに接続されている。NMOSTランジスタ1503、1504のソース電極は、ともに接地されている。NMOSTランジスタ1503のゲート電極 (入力ノードIN) には、クロ

ック信号生成回路401から出力されたクロック信号CLKが入力され、NMOSTランジスタ1504のゲート電極には、インバータを介してクロック信号CLKが反転されて入力されている。PMOSTランジスタ1502のドレイン電極と、NMOSTランジスタ1504のドレイン電極との接続ノード (OUT) は、キャパシタCgの他方電極に接続されている。

【0018】この第3の昇圧電位発生回路1400により、クロック信号CLKの振幅は、($GND \sim V_{cc}$) 振幅から ($GND \sim V_{pp}$) 振幅に増幅され、キャパシタCgの電位が昇圧される。そのため、キャパシタCgの一方電極のノードBの電位は、($2 \times V_{cc}$) レベルよりも高いレベルに昇圧され、NMOSTランジスタN1のゲート電極の電位が上がるので、しきい値落ちをほぼなくすることができる。よって、キャパシタCpからの ($2 \times V_{cc}$) レベルの電圧がほとんど低下することなく V_{pp} 電源ノードに供給され、図11の第1の昇圧電位発生回路1100や図13の第2の昇圧電位発生回路1300よりもさらに高いレベルの電圧を V_{pp} 電源ノードに供給することが可能であった。

【0019】

【発明が解決しようとする課題】しかしながら、図11、13、14に示したような昇圧電位発生回路を含むDRAMの低電圧動作を考えると、電源電圧が下がっても、メモリセルのしきい値が電源電圧 V_{cc} と同じ割合で下がらないため、昇圧効率が低い昇圧電位発生回路が要求される。よって、上述のように、より高い V_{pp} レベルを求めるため、トランジスタのしきい値を低減する工夫をしてきた。しかし、そのことは、トランジスタのドレイン電極の電位が振幅するタイミングと、ゲート電極の電位が振幅するタイミングとのずれを生じるという問題点があった。

【0020】図16は、従来の昇圧電位発生回路におけるNMOSTランジスタのノードA (ドレイン電極) とノードB (ゲート電極) との電位の振幅のずれを示すタイミングチャートである。

【0021】図16を参照して、ノードB (ゲート電極) の電位が下がるよりも前にノードA (ドレイン電極) の電位が下がってしまうため、NMOSTランジスタN1、N1' がオンしたままドレイン電極の電位が V_{pp} 電源ノードの電位よりも低くなり、 V_{pp} 電源から電流が逆流してしまう場合があるという問題点があった。

【0022】また、キャパシタCgの一方電極 (NMOSTランジスタN1、N1' のゲート電極) はフローティング状態であるのに対し、キャパシタCpの一方電極 (NMOSTランジスタN1、N1' のゲート電極) はフローティング状態でないため、通常、ノードA、Bにおける電圧レベルの動きが経時的に異なり、キャパシタCpの電位が昇圧されてから、再び元のレベルに

戻る際に、ノードAのレベルがVccレベルよりも低くなることもあり、ノードB(NMOSトランジスタN1, N1'のゲート電極)のレベルよりもノードA(NMOSトランジスタN1, N1'のドレイン電極)のレベルが低くなると、NMOSトランジスタN1, N1'がオンしやすくなってVpp電源から電流が逆流してしまう場合があるという問題点があった。

【0023】本発明は、以上のような問題点を解決するためになされたもので、Vpp電源からの電流の逆流またはVbb電源への電流の逆流を防止し、安定したレベルの電位をVpp電源またはVbb電源に供給することにより消費電流を抑えることが可能な電位発生回路を提供することを目的とする。

【0024】

【課題を解決するための手段】本発明の請求項1に係る電位発生回路は、トランジスタと、トランジスタのゲート電極に接続された一方電極を有する第1のキャパシタと、トランジスタのソース/ドレイン電極に接続された一方電極を有する第2のキャパシタと、第1のタイミングで、第1のキャパシタの他方電極に第1の所定電圧の供給を開始し、第1よりも遅い第2のタイミングで、第2のキャパシタの他方電極に第2の所定電圧の供給を開始し、第2のタイミングよりも遅い第3のタイミングで、第2のキャパシタの他方電極に第2の所定電圧の供給を中止し、第3のタイミングよりも遅い第4のタイミングで、第1のキャパシタの他方電極に第1の所定電圧の供給を中止する電圧供給手段とを設けたものである。

【0025】本発明の請求項2に係る電位発生回路は、請求項1の電位発生回路において、電圧供給手段に、直列接続された奇数個のインバータを有するリングオシレータを設け、奇数個のインバータのうち、第1のインバータからは第1のバース信号が出力され、第1のインバータから奇数番目にある第2のインバータからは第2のバース信号が出力され、第2のインバータから奇数番目にある第3のインバータからは第3のバース信号が出力され、第3のインバータから奇数番目にある第4のインバータからは第4のバース信号が出力され、第1のバース信号と第4のバース信号とが入力され、その出力信号を第1のキャパシタの他方電極に inputs する第1の論理回路と、第2のバース信号と第3のバース信号とが入力され、その出力信号を第2のキャパシタの他方電極に inputs する第2の論理回路とをさらに設けたものである。

【0026】請求項3に係る電位発生回路は、請求項1の電位発生回路において、電圧供給手段に、バース信号を生成するバース信号生成手段と、バース信号生成手段で生成されたバース信号をもとに第1のキャパシタの他方電極に第1の所定電圧を供給する第1の論理回路と、バース信号生成手段で生成されたバース信号をもとに第2のキャパシタの他方電極に第2の所定電圧を供給する第2の論理回路とを設けたものである。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら説明する。

【0028】(1) 実施の形態1.

図1は、本発明の電位発生回路の実施の形態1の昇圧電位発生回路100を示す回路図である。

【0029】図1を参照して、昇圧電位発生回路100は、リングオシレータ101と、NOR回路103と、NAND回路105と、バッファ回路107、109と、キャパシタCp、Cg、C1、C2と、NMOSトランジスタN1、N11~N14とを備えている。

【0030】リングオシレータ101は、NAND回路111と、インバータ112~117とをさらに備えている。

【0031】リングオシレータ101において、NAND回路111の出力ノードaにインバータ112~117が直列に接続され、インバータ117の出力ノードdはNAND回路111の一方の入力ノードに接続されている。NAND回路111の他方の入力ノードには、リングオシレータ101を制御するためのクロックイネーブル信号CLK_Eが入力されている。クロックイネーブル信号CLK_EがHレベルのときリングオシレータ101は活性化され、Lレベルのときリングオシレータ101は不活性化される。

【0032】リングオシレータ101のNAND回路111の出力ノードaとインバータ117の出力ノードdとは、NOR回路103の2つの入力ノードにそれぞれ接続されている。また、インバータ113の出力ノードbとインバータ115の出力ノードcとは、NAND回路105の2つの入力ノードにそれぞれ接続されている。

【0033】バッファ107は、直列に接続された2つのインバータ121、122を含み、インバータ121の入力ノードはNOR回路103の出力ノードeに接続されている。バッファ109もまた、直列に接続された2つのインバータ123、124を含み、インバータ123の入力ノードはNAND回路105の出力ノードfに接続されている。

【0034】キャパシタCgの一方電極はノードBでNMOSトランジスタN1のゲート電極に接続され、他方電極はインバータ122の出力ノードに接続されている。また、キャパシタCpの一方電極はノードAでNMOSトランジスタN1のドレイン電極に接続され、他方電極はインバータ124の出力ノードに接続されている。

【0035】さらに、図11、13、14の場合と同様に、NMOSトランジスタN11、N12とキャパシタC1とによりブリッジ回路が構成され、動作前に、ノードAは電源電圧Vccレベルにブリッジされ、NMOSトランジスタN13、N14とキャパシタC2

とによりプリチャージ回路が構成され、動作前に、ノードBは電源電位 V_{cc} レベルにプリチャージされる。

【0036】図2は、図1の昇圧電位発生回路100の動作を示すタイミングチャートである。

【0037】図1および2を参照して、クロックイネーブル信号CLK_Eは、時刻 t_1 までLレベルであり、リングオシレータ101はスタンバイ状態である。

【0038】時刻 t_1 でクロックイネーブル信号CLK_EがHレベルになると、リングオシレータ101が活性化され、図2に示すようにリングオシレータ101内のNAND回路111の出力ノードaから所定のパルス幅を有するクロック信号CLK_aが出力される。インバータ113の出力ノードbからはクロック信号CLK_aの位相が Δt 遅れたクロック信号CLK_bが出力され、インバータ115からは、クロック信号CLK_bの位相が Δt 遅れたクロック信号CLK_cが出力され、インバータ117からは、クロック信号CLK_cの位相が Δt 遅れたクロック信号CLK_dが出力される。

【0039】出力ノードa、dからそれぞれ出力された互いに位相のずれたクロック信号CLK_a、CLK_dは、NOR回路103に入力され、NOR回路103の出力ノードeには、パルス幅 T_1 を有するパルス信号S_eが出力される。一方、出力ノードb、cからそれぞれ出力された互いに位相のずれたクロック信号CLK_b、CLK_cは、NAND回路105に入力され、NAND回路105の出力ノードfには、パルス幅 T_2 ($T_2 > T_1$)を有するパルス信号S_fが出力される。

【0040】このパルス信号S_e、S_fは、パルス信号S_fが立上ってから(たとえば時刻 t_1 、または t_2)、パルス信号S_eが立上がり(たとえば時刻 t_3 、または t_4)、その後、パルス信号S_eが立下がってから(たとえば時刻 t_5 、または t_6)、パルス信号S_fが立下がる(たとえば時刻 t_7 、または t_8)というタイミングで振幅を繰返す。

【0041】上記パルス信号S_eは、バッファ107を介してキャパシタC_gの他方電極に与えられ、上記パルス信号S_fは、バッファ109を介してキャパシタC_pの他方電極に与えられるので、パルス信号S_fが立上ると、 V_{cc} レベルにプリチャージされたノードAはキャパシタC_pによりさらに V_{cc} 昇圧され、NMOSTランジスタN1のドレイン電極には、 V_{cc} レベルから($2 \times V_{cc}$)レベルに昇圧された電圧が与えられる。

【0042】次に、パルス信号S_eが立上ると、 V_{cc} レベルにプリチャージされたノードBはキャパシタC_gによりさらに V_{cc} 昇圧され、NMOSTランジスタN1のゲート電極には、 V_{cc} レベルから($2 \times V_{cc}$)レベルに昇圧された電圧が与えられる。これにより、NMOSTランジスタN1がオンし、 V_{pp} 電源ノードに($2 \times V_{cc}$)レベルの昇圧電圧が供給される。

【0043】所定の期間 T_1 が経過して、パルス信号S

eが立上ると、NMOSTランジスタN1のゲート電極に($2 \times V_{cc}$)レベルの電圧が与えられなくなり、NMOSTランジスタN1がオフし、 V_{pp} 電源ノードへの($2 \times V_{cc}$)レベルの昇圧電圧の供給が遮断される。

【0044】さらに、パルス信号S_fが立下がると、NMOSTランジスタN1のドレイン電極への($2 \times V_{cc}$)レベルの昇圧電圧の供給が中止される。

【0045】したがって、NMOSTランジスタN1のドレイン電極への昇圧電圧の供給が開始されてから、NMOSTランジスタN1のゲート電極に電圧が印加されてNMOSTランジスタN1がオンし、NMOSTランジスタN1のゲート電極に電圧が印加されなくなるとNMOSTランジスタN1がオフしてからNMOSTランジスタN1のドレイン電極への昇圧電圧の供給が中止されるので、NMOSTランジスタN1がオンしている間は、常に、 V_{pp} 電源ノードに昇圧電圧が供給され、 V_{pp} 電源からの電流の逆流を防止し、安定したレベルの電位を V_{pp} 電源に供給することにより消費電流を抑えることが可能な電位発生回路を提供することができる。

【0046】図3、4は、図1の昇圧電位発生回路100におけるプリチャージ回路の他の例を示す回路図である。

【0047】図3を参照して、プリチャージ回路を構成するNMOSTランジスタN11、N12とキャパシタC1をダイオード301に、また、プリチャージ回路を構成するNMOSTランジスタN13、N14とキャパシタC2とをダイオード303に置換えたものであり、ダイオード301、303の入力ノードは、ともに、 V_{cc} 電源に接続され、ダイオード301の出力ノードはノードAに、ダイオード303の出力ノードはノードBに接続されている。

【0048】図4を参照して、プリチャージ回路を構成するNMOSTランジスタN11、N12とキャパシタC1とをダイオード接続のNMOSTランジスタN15に、また、プリチャージ回路を構成するNMOSTランジスタN13、N14とキャパシタC2とをダイオード接続されたNMOSTランジスタN16に置換えたものであり、NMOSTランジスタN15、N16のゲート電極およびドレイン電極は、ともに、 V_{cc} 電源に接続され、NMOSTランジスタN15のソース電極はノードAに、NMOSTランジスタN16のソース電極はノードBに接続されている。

【0049】図3、4に示した昇圧電位発生回路300、400は、上述の図1の昇圧電位発生回路100と同様に動作し、同様の効果を得ることができる。

【0050】ただし、昇圧電位発生回路300、400では、ノードA、Bは、($V_{cc} - V_{thn}$)レベルまでしか昇圧されない。

【0051】昇圧電位発生回路100、300、および

400において、NOR回路103にパルス信号CLK a、CLK dの代わりにパルス信号CLK b、CLK cを入力するか、または、NAND回路105にパルス信号CLK b、CLK cの代わりにパルス信号CLK a、CLK dを入力しても、図2に示したパルス信号Se、Sfと同様のパルス信号が発生し、上記と同様の効果が得られる。

【0052】図5は、本発明の電位発生回路の実施の形態1の負電位発生回路500を示す回路図である。

【0053】負電位発生回路の場合も、図2と同様のパルス信号により、Vbb電源ノードに負電圧を供給することが可能である。

【0054】図5を参照して、負電位発生回路500は、図1の昇圧電位発生回路100のNMOSトランジスタN1をPMOSトランジスタP1に、ブリチャージ回路を構成するNMOSトランジスタN11、N12とキャパシタC1、および、NMOSトランジスタN13、N14とキャパシタC2を、PMOSトランジスタP11、P12とキャパシタC1'、およびPMOSトランジスタP13、P14とキャパシタC2'に置換え、さらに、バッファ107、109をインバータ501、502に置換えたものである。

【0055】PMOSトランジスタP11、P12とキャパシタC1'、および、PMOSトランジスタP13、P14とキャパシタC2'によりブリチャージ回路が構成され、ノードA'、B'は、それぞれ-Vccレベルにブリチャージされる。

【0056】そして、図2と同様のタイミングチャートで、パルス信号Sfのレベルが降下すると、キャパシタCpによりノードA'の電位がGNDレベルからVccレベル降下され、-Vccレベルの負電圧がNMOSトランジスタP1のドレイン電極に供給される。次に、パルス信号Seのレベルが降下すると、キャパシタCgにより、ノードB'の電位がGNDレベルからVccレベル降下され、-Vccレベルの電圧がPMOSトランジスタP1のゲート電極に与えられる。これによりPMOSトランジスタP1がオンし、Vbb電源ノードに-Vccレベルの負電圧が供給される。

【0057】その後、ある所定期間経過し、パルス信号Seのレベルが上昇すると、PMOSトランジスタP1のゲート電極に-Vccレベルの電圧が与えられなくなり、PMOSトランジスタP1がオフし、Vbb電源ノードへの-Vccレベルの負電圧の供給が遮断される。さらに、パルス信号Sfのレベルが上昇すると、PMOSトランジスタP1のドレイン電極への-Vccレベルの負電圧の供給が中止される。

【0058】したがって、Vbb電源への電流の逆流を防止し、安定したレベルの電位をVbb電源に供給することにより消費電流を抑えることが可能な電位発生回路を提供することができる。

【0059】(2) 実施の形態2

図6は、本発明の電位発生回路の実施の形態2の昇圧電位発生回路600を示す回路図である。

【0060】図6を参照して、昇圧電位発生回路600は、クロック信号生成回路401と、インバータ602~605と、NOR回路103と、NAND回路105と、バッファ107、109と、NMOSトランジスタN1、N11~N14と、キャパシタCp、Cg、C1、C2とを備えている。

【0061】クロック信号生成回路401は、図7に示したリングオシレータを用いることができる。

【0062】クロック信号生成回路401の出力ノードは、NOR回路103の一方の入力ノードと、NAND回路105の一方の入力ノードと、インバータ602、604の入力ノードとに接続されている。インバータ603はインバータ602に直列に接続され、インバータ602の出力ノードはNOR回路103の他方の入力ノードに接続されている。インバータ605はインバータ604に直列に接続され、インバータ605の出力ノードはNAND回路105の他方の入力ノードに接続されている。

【0063】その他の素子の接続関係は、図1の昇圧電位発生回路100と同様であるので、説明は省略する。

【0064】図7は、図6の昇圧電位発生回路600の動作を示すタイミングチャートである。

【0065】図7を参照して、クロック信号生成回路401から出力されたクロック信号CLKは、NOR回路103の一方の入力ノードと、NAND回路105の一方の入力ノードとに入力される。クロック信号CLKは、また、インバータ602、603により時間 Δt 遅延されてNOR回路103の他方の入力ノードに入力され、インバータ604、605によりやはり時間 Δt 遅延されてNAND回路105の他方の入力ノードに入力される(図6のdelay CLK)。

【0066】クロック信号CLKと遅延クロック信号delay CLKとから、NOR回路103によりパルス信号Se'が出力され、NAND回路105によりパルス信号Sf'が出力される。

【0067】この1つのパルス信号Se'、Sf'の各々は、実施の形態1のパルス信号Se、Sfに対応し、昇圧電位発生回路600は、このパルス信号Se'、Sf'により、実施の形態1で説明したのと同様のタイミングで同様の動作を行なう。

【0068】すなわち、パルス信号Sf'が立上がると、それに応答して(2×Vcc)レベルの昇圧電圧がNMOSトランジスタN1のドレイン電極に与えられ、次に、パルス信号Se'が立上がると、それに応答して、NMOSトランジスタN1のゲート電極に(2×Vcc)レベルの電圧が与えられ、NMOSトランジスタN1がオンし、Vpp電源ノードに(2×Vcc)レベ

ルの昇圧電圧が供給される。そして、所定期間経過して、パルス信号 Se' が立下がると、それに従って、NMOSトランジスタN1のゲート電極に $(2 \times V_{cc})$ レベルの電圧が与えられなくなり、NMOSトランジスタN1がオフし、 V_{pp} 電源ノードへの $(2 \times V_{cc})$ レベルの昇圧電圧の供給が遮断される。さらに、パルス信号 Sf' が立下がると、それに従って、NMOSトランジスタN1のドレイン電極に $(2 \times V_{cc})$ レベルの昇圧電圧の供給が中止される。

【0069】したがって、 V_{pp} 電源からの電流の逆流を防止し、安定したレベルの電位を V_{pp} 電源に供給することにより消費電流を抑えることが可能な電位発生回路を提供することができる。

【0070】図8、9は、図6の昇圧電位発生回路600におけるブリチャージ回路の他の例を示す回路図である。

【0071】図8を参照して、昇圧電位発生回路800は、ノードAに、 V_{cc} 電源に接続されたダイオード301が接続され、ノードBには V_{cc} 電源に接続されたダイオード303が接続されている。

【0072】図9を参照して、昇圧電位発生回路900は、図8のダイオード301、303を、それぞれ、ダイオード接続されたNMOSトランジスタN15、N16に置換えたものである。

【0073】これらの昇圧電位発生回路800、900も、図6の昇圧電位発生回路600と同様の効果を得ることができる。

【0074】ただし、昇圧電位発生回路800、900においてノードA、Bは、各々、 $(V_{cc} - V_{thn})$ レベルまでしか昇圧されない。

【0075】図10は、本発明の電位発生回路の実施の形態2の負電位発生回路1000を示す回路図である。

【0076】図10を参照して、負電位発生回路1000は、図6の昇圧電位発生回路600のNMOSトランジスタN1、N11~N14とキャパシタC1、C2を、PMOSTランジスタP1、P11~P14とキャパシタC1'、C2'に置換えたものである。

【0077】PMOSTランジスタP11、P12とキャパシタC1'、および、PMOSTランジスタP13、P14とキャパシタC2'によりブリチャージ回路が構成され、ノードA'、B'は、それぞれ $-V_{cc}$ レベルにブリチャージされる。

【0078】そして、図7のタイミングチャートと同様のタイミングで、キャパシタCpによりノードA'の電位がGNDレベルから V_{cc} レベル降圧された $-V_{cc}$ レベルの負電圧がPMOSTランジスタP1のドレイン電極に供給される。次に、キャパシタCgにより、ノードB'の電位がGNDレベルから V_{cc} レベル降圧された $-V_{cc}$ レベルの電圧がPMOSTランジスタP1のゲート電極に与えられる。これにより、PMOSTラン

ジスタP1がオンし、 V_{bb} 電源ノードに $-V_{cc}$ レベルの負電圧が与えられる。

【0079】その後、ある所定期間経過すると、PMOSTランジスタP1のゲート電極に $-V_{cc}$ レベルの電圧が与えられなくなり、PMOSTランジスタP1がオフし、 V_{bb} 電源ノードへの $-V_{cc}$ レベルの負電圧の供給が遮断される。さらに、PMOSTランジスタP1のドレイン電極への $-V_{cc}$ レベルの負電圧の供給が中止される。

【0080】したがって、 V_{bb} 電源への電流の逆流を防止し、安定したレベルの電位を V_{bb} 電源に供給することにより消費電流を抑えることが可能な電位発生回路を提供することができる。

【0081】

【発明の効果】本発明の電位発生回路は、 V_{pp} 電源からの電流の逆流または V_{bb} 電源への電流の逆流を防止し、安定したレベルの電位を V_{pp} 電源または V_{bb} 電源に供給することにより消費電流を抑えることが可能である。

20 【図面の簡単な説明】

【図1】 本発明の電位発生回路の実施の形態1の昇圧電位発生回路を示す回路図である。

【図2】 図1の昇圧電位発生回路の動作を示すタイミングチャートである。

【図3】 図1の昇圧電位発生回路におけるブリチャージ回路の他の例を示す回路図である。

【図4】 図1の昇圧電位発生回路におけるブリチャージ回路の他の例を示す回路図である。

【図5】 本発明の電位発生回路の実施の形態1の負電位発生回路を示す回路図である。

30 【図6】 本発明の電位発生回路の実施の形態2の昇圧電位発生回路を示す回路図である。

【図7】 図6の昇圧電位発生回路の動作を示すタイミングチャートである。

【図8】 図6の昇圧電位発生回路におけるブリチャージ回路の他の例を示す回路図である。

【図9】 図6の昇圧電位発生回路におけるブリチャージ回路の他の例を示す回路図である。

【図10】 本発明の電位発生回路の実施の形態2の負電位発生回路を示す回路図である。

【図11】 従来の第1の昇圧電位発生回路を示す回路図である。

【図12】 図11のクロック信号生成回路401の例を示す回路図である。

【図13】 従来のトリプルウェル構造を用いた第2の昇圧電位発生回路を示す回路図である。

【図14】 従来の第3の昇圧電位発生回路を示す回路図である。

50 【図15】 図14のレベル変換回路901の例を示す回路図である。

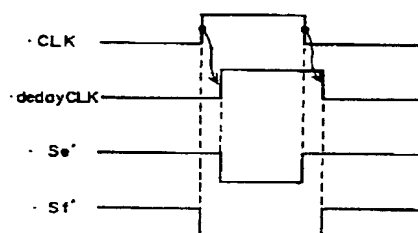
14

*N1 NMOSTトランジスタ、P1 PMOSTトランジスタ、Cp、Cg キャパシタ、101 リングオシレータ、112~117、602~605 インバータ、103 NOR回路、105、111 NAND回路、401 クロック信号生成回路。

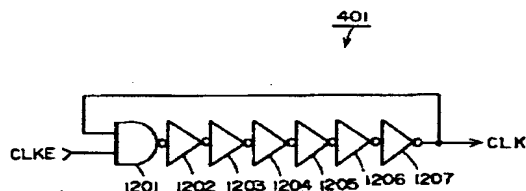
01 クロック信号生成回路。

01 クロック信号生成回路。

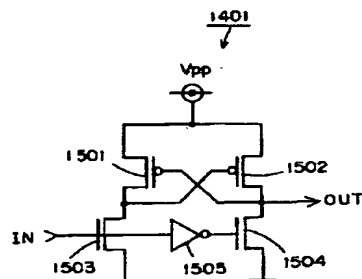
【圖 7】



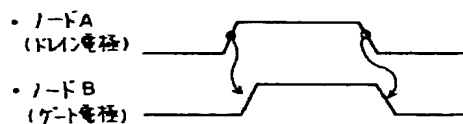
【图 12】



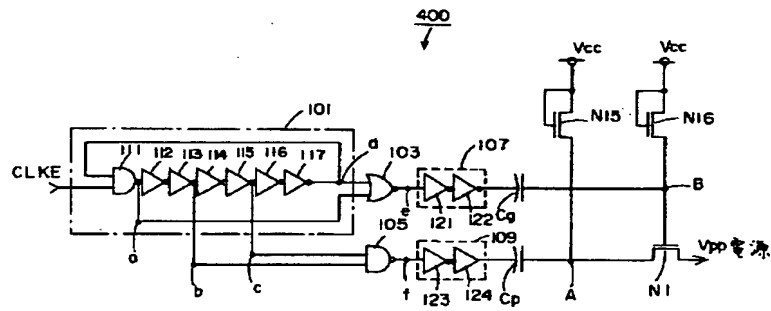
【图 15】

$$\frac{300}{7}$$


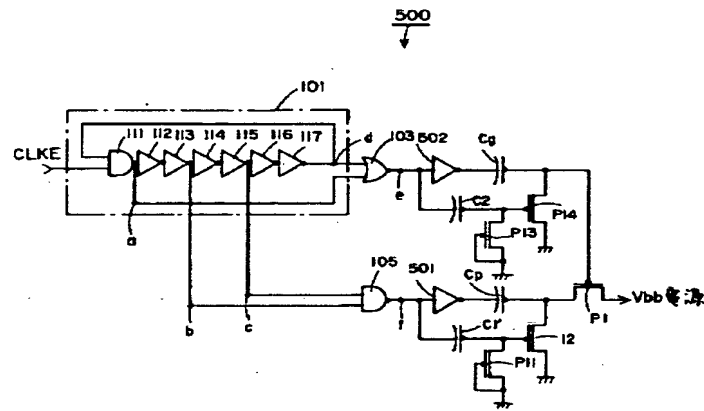
【圖 16】



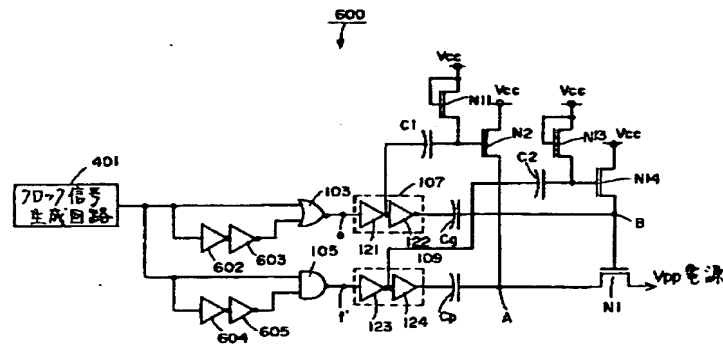
【図4】



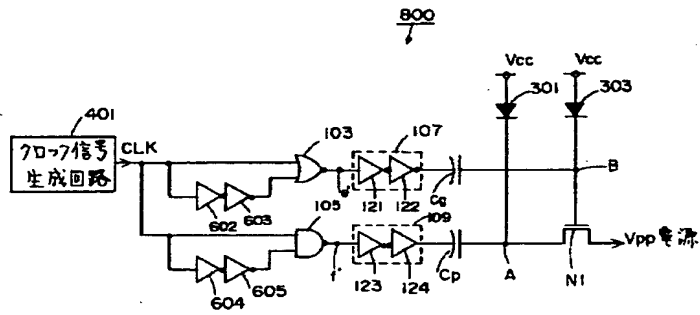
【図5】



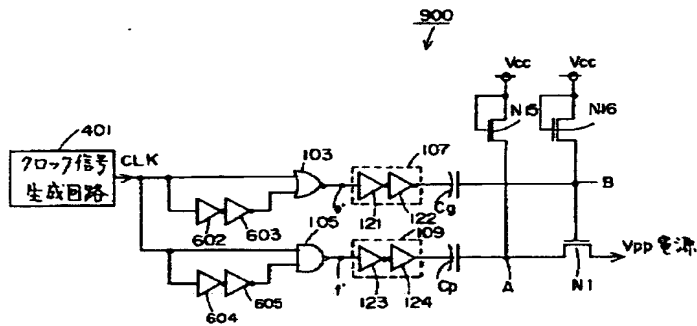
【図6】



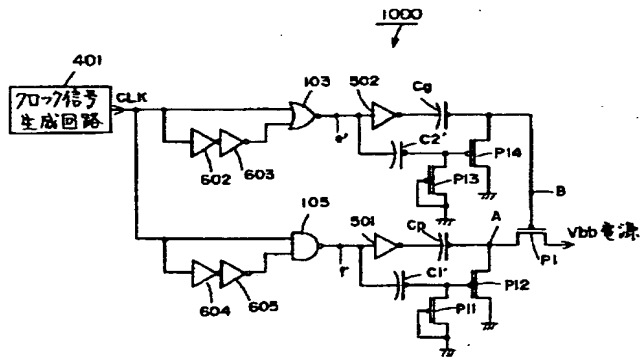
【図8】



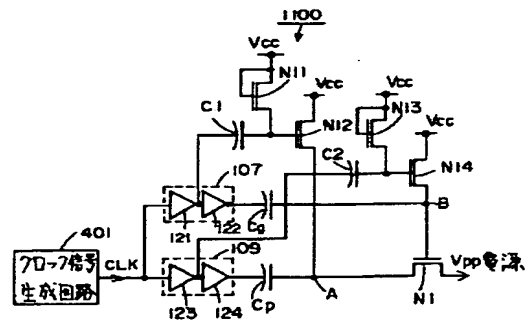
【図9】



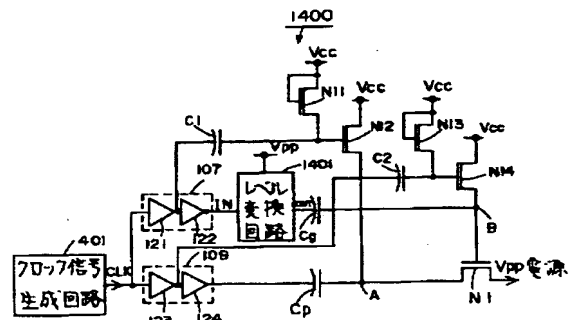
【図10】



【図11】



【圖 14】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成15年7月4日(2003.7.4)

【公開番号】特開平9-282878
 【公開日】平成9年10月31日(1997.10.31)
 【年通号数】公開特許公報9-2829
 【出願番号】特願平8-86501
 【国際特許分類第7版】

G11C 11/407

H02M 3/07

【F1】

G11C 11/34 354 F

H02M 3/07

【手続補正書】

【提出日】平成15年4月7日(2003.4.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 トランジスタと、
 前記トランジスタのゲート電極に接続された一方電極を有する第1のキャパシタと、
 前記トランジスタのソース／ドレイン電極に接続された一方電極を有する第2のキャパシタと、
 第1のタイミングで、前記第1のキャパシタの他方電極に第1の所定電圧の供給を開始し、前記第1よりも遅い第2のタイミングで、前記第2のキャパシタの他方電極に第2の所定電圧の供給を開始し、前記第2のタイミングよりも遅い第3のタイミングで、前記第2のキャパシタの他方電極に前記第2の所定電圧の供給を中止し、前記第3のタイミングよりも遅い第4のタイミングで、前記第1のキャパシタの他方電極に前記第1の所定電圧の供給を中止する電圧供給手段と、を備えた電位発生回路。

【請求項2】 前記電圧供給手段は、
 直列接続された奇数個のインバータを有するリングオシレータを備え、前記奇数個のインバータのうち、第1のインバータからは第1のバース信号が出力され、前記第1のインバータから奇数番目にある第2のインバータからは第2のバース信号が出力され、前記第2のインバータから奇数番目にある第3のインバータからは第3のバース信号が出力され、前記第3のインバータから奇数番目にある第4のインバータからは第4のバース信号が出力され、
 前記第1のバース信号と前記第4のバース信号とが入力され、その出力信号を前記第1のキャパシタの他方電極

に入力する第1の論理回路と、

前記第2のバース信号と前記第3のバース信号とが入力され、その出力信号を前記第2のキャパシタの他方電極に入力する第2の論理回路と、をさらに備えた請求項1に記載の電位発生回路。

【請求項3】 前記電圧供給手段は、

バース信号を生成するバース信号生成手段と、

前記バース信号生成手段で生成されたバース信号をもとに、前記第1のキャパシタの他方電極に前記第1の所定電圧を供給する第1の論理回路と、

前記バース信号生成手段で生成されたバース信号をもとに、前記第2のキャパシタの他方電極に前記第2の所定電圧を供給する第2の論理回路と、を備えた請求項1に記載の電位発生回路。

【請求項4】 第1のノードの電圧を変化させるための電圧供給手段と、

第2のノードを所定電圧にプリチャージするためのプリチャージ回路と、

前記第1のノードの電圧変化を容量結合によって前記第2のノードへ伝達するように接続されたキャパシタと、
 前記第2のノードと出力ノードとの間に接続されたトランジスタスイッチと、

前記トランジスタスイッチの導通および非導通を制御する制御手段とを備え、

前記電圧供給手段は、前記トランジスタスイッチが非導通である第1の時刻において、前記第1のノードの電圧を所定の極性で変化させ、

前記制御手段は、前記第1の時刻から所定時間経過後の第2の時刻において前記トランジスタスイッチを導通させる、電位発生回路。

【請求項5】 前記制御手段は、前記第2の時刻から所定時間経過後の第3の時刻において、前記トランジスタスイッチを非導通とし、

前記電圧供給手段は、前記第3の時刻から所定時間経過

後の第4の時刻において、前記第1のノードの電圧を前記第1の時刻以前のレベルへ変化させる、請求項4記載の電位発生回路。

【請求項6】 前記ブリチャージ回路は、前記トランジスタスイッチの非導通時に、前記第2のノードを前記所定電圧にブリチャージする、請求項4または5記載の電位発生回路。

【請求項7】 前記所定の極性は、前記第1のノードの電圧が昇圧される方向に対応し、

前記トランジスタスイッチは、ソースおよびドレインが前記出力ノードおよび前記第2のノードとそれぞれ電気的に接続されたNチャネルMOSトランジスタで構成され、

前記制御手段は、前記NチャネルMOSトランジスタのゲート電圧を制御する、請求項4～6のいずれか1項に記載の電位発生回路。

【請求項8】 前記制御手段は、前記トランジスタスイッチの導通時に、前記ゲート電圧を前記第2の時刻における前記第2のノードの電圧以上に設定する、請求項7に記載の電位発生回路。

【請求項9】 前記所定の極性は、前記第1のノードの電圧が降圧される方向に対応し、

前記トランジスタスイッチは、ソースおよびドレインが前記出力ノードおよび前記第2のノードとそれぞれ電気的に接続されたPチャネルMOSトランジスタで構成され、

前記制御手段は、前記PチャネルMOSトランジスタのゲート電圧を制御する、請求項4～6のいずれか1項に記載の電位発生回路。

【請求項10】 前記制御手段は、前記トランジスタスイッチの導通時に、前記ゲート電圧を前記第2の時刻における前記第2のノードの電圧以下に設定する、請求項7に記載の電位発生回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】請求項3に係る電位発生回路は、請求項1の電位発生回路において、電圧供給手段に、パルス信号を生成するパルス信号生成手段と、パルス信号生成手段で生成されたパルス信号をもとに第1のキャパシタの他方電極に第1の所定電圧を供給する第1の論理回路と、パルス信号生成手段で生成されたパルス信号をもとに第2のキャパシタの他方電極に第2の所定電圧を供給する

第2の論理回路とを設けたものである。本発明の請求項4に係る電位発生回路は、第1のノードの電圧を変化させるための電圧供給手段と、第2のノードを所定電圧にブリチャージするためのブリチャージ回路と、第1のノードの電圧変化を容量結合によって第2のノードへ伝達するように接続されたキャパシタと、第2のノードと出力ノードとの間に接続されたトランジスタスイッチと、トランジスタスイッチの導通および非導通を制御する制御手段とを設け、電圧供給手段は、トランジスタスイッチが非導通である第1の時刻において、第1のノードの電圧を所定の極性で変化させ、制御手段は、第1の時刻から所定時間経過後の第2の時刻においてトランジスタスイッチを導通させるものである。請求項5に係る電位発生回路は、請求項4の電位発生回路において、制御手段は、第2の時刻から所定時間経過後の第3の時刻において、トランジスタスイッチを非導通とし、電圧供給手段は、第3の時刻から所定時間経過後の第4の時刻において、第1のノードの電圧を第1の時刻以前のレベルへ変化させるものである。請求項6に係る電位発生回路は、請求項4または5の電位発生回路において、ブリチャージ回路は、トランジスタスイッチの非導通時に、第2のノードを所定電圧にブリチャージするものである。請求項7に係る電位発生回路は、請求項4～6のいずれかの電位発生回路において、所定の極性は、第1のノードの電圧が昇圧される方向に対応し、トランジスタスイッチは、ソースおよびドレインが出力ノードおよび第2のノードとそれぞれ電気的に接続されたNチャネルMOSトランジスタで構成され、制御手段は、NチャネルMOSトランジスタのゲート電圧を制御するものである。請求項8に係る電位発生回路は、請求項7の電位発生回路において、制御手段は、トランジスタスイッチの導通時に、ゲート電圧を第2の時刻における第2のノードの電圧以上に設定するものである。請求項9に係る電位発生回路は、請求項4～6のいずれかの電位発生回路において、所定の極性は、第1のノードの電圧が降圧される方向に対応し、トランジスタスイッチは、ソースおよびドレインが出力ノードおよび第2のノードとそれぞれ電気的に接続されたPチャネルMOSトランジスタで構成され、制御手段は、PチャネルMOSトランジスタのゲート電圧を制御するものである。請求項10に係る電位発生回路は、請求項7の電位発生回路において、制御手段は、トランジスタスイッチの導通時に、ゲート電圧を第2の時刻における第2のノードの電圧以下に設定するものである。

Japanese Laid-Open Patent Publication No. 09-282878

Publication Date: October 31, 1997

Application No. 8-86501

Filing Date: April 9, 1996

Applicant: Mitsubishi Denki Kabushiki Kaisha

Inventor: Shigeki Tomishima

Title of the Invention: Potential Generation Circuit

CLAIMS:

1. A potential generation circuit comprising:
a transistor;
a first capacitor which has one electrode connected to the gate electrode of the transistor;
a second capacitor which has one electrode connected to the source/drain electrode of the transistor; and
a voltage supplying means for starting the supply of a first predetermined voltage to the other electrode of the first capacitor with a first timing, starting the supply of a second predetermined voltage to the other electrode of the second capacitor with a second timing which is slower than the first timing, stopping the supply of the second predetermined voltage to the other electrode of the second capacitor with a third timing which is slower than the second timing, and stopping the supply of the first predetermined voltage to the other electrode of the first capacitor with a fourth timing which is slower than the third timing.

2. The potential generation circuit of Claim 1, wherein the voltage supplying means is provided with a ring oscillator which has an odd number of inverters connected in series, a first pulse signal is output from a first

inverter, a second pulse signal is output from a second inverter which is an odd number from the first inverter, a third pulse signal is output from a third inverter which is an odd number from the second inverter, and a fourth pulse signal is output from a fourth inverter which is an odd number from the third inverter;

a first logic circuit which receives the first pulse signal and fourth pulse signal, and outputs the output signals to the other electrode of the first capacitor; and

a second logic circuit which receives the second pulse signal and third pulse signal, and outputs the output signals to the other electrode of the second capacitor.

3. The potential generation circuit of Claim 1, wherein the voltage supplying means comprises:

a pulse signal generating means for generating pulse signals;

a first logic circuit for supplying a first predetermined voltage to the other electrode of the first capacitor based on the pulse signal generated by the pulse signal generating means; and

a second logic circuit for supplying a second predetermined voltage to the other electrode of the second capacitor based on the pulse signal generated by the pulse signal generating means.

DETAILED DESCRIPTION OF THE INVENTION

[0001] [FIELD OF THE INVENTION] The present invention relates to a potential generation circuit, and specifically relates to booster potential circuit for supplying a boost voltage V_{pp} to a V_{pp} power supply, and a negative potential generation circuit for supplying a negative voltage V_{bb} to a

Vbb power supply.

[0002] [PRIOR ART] Fig. 11 is a circuit diagram showing a conventional first booster potential generation circuit 1100.

[0003] Referring to Fig. 11, the first booster potential generation circuit 1100 is provided with a clock signal generation circuit 401, buffers 107 and 109, capacitors Cg, Cp, C1, C2, and N-channel MOS transistors (hereinafter referred to as NMOS transistors) N1, and N11~N14. The buffer 107 includes inverters 121 and 122, and the buffer 109 includes inverters 123 and 124.

[0004] In the buffer 107, the inverters 121 and 122 are connected in series, and the other electrode of the capacitor Cg is connected to the output node of the inverter 122 of the buffer 107. In the buffer 109, the inverters 123 and 124 are connected in series, and the other electrode of the capacitor Cp is connected to the output node of the inverter 124 of the inverter 109.

[0005] The output node of the clock signal generation circuit 401 is connected to the input node of the inverter 121 of the buffer 107, and to the input node of the inverter 123 of the buffer 109. The other electrode of the capacitor Cg is connected to the gate electrode of the NMOS transistor N1 at node B. The other electrode of the capacitor Cp is connected to the drain electrode of the NMOS transistor N1 at node A.

[0006] A precharging circuit is configured by the NMOS transistors N11 and N12, and the capacitor C1, and the node

A precharges to a power supply potential V_{cc} level. Similarly, a precharging circuit is configured by the NMOS transistors N12 and N14, and the capacitor C2, and the node B precharges to a power supply V_{cc} level.

[0007] Fig. 12 is a circuit diagram showing a ring oscillator as an example of the clock signal generation circuit 401 of Fig. 11.

[0008] Referring to Fig. 7, the clock signal generation circuit (ring oscillator) 401 is provided with a NAND circuit 701, and six inverters 701~707 connected in series to the NAND circuit 701.

[0009] The output signal of the inverter 107 is input to one input node of the NAND circuit 701, and a clock enable signal CLKE is input to the other input node. When the clock enable signal CLKE is H (logical high) level, the clock signal generation circuit (ring oscillator) 401 is activated and outputs a clock signal CLK; when the clock enable signal CLKE is L (logical low) level, the clock signal generation circuit (ring oscillator) 401 is not activated and stops outputting the clock signal CLK.

[0010] Thus, when the first booster potential generation circuit 1100 starts operation, a clock signal CLK is first input from the clock signal generating circuit 401 to the buffers 107 and 109, and the potential of the capacitors C_p and C_g are boosted to the V_{cc} level. In this way the potentials of the nodes A and B are capacity-coupled, and boosted from the respective V_{cc} levels to double V_{cc} ($2 \times V_{cc}$) level. The potential which has been boosted ($2 \times V_{cc}$) to this level is supplied to the V_{pp} power

supply node through the NMOS transistor N1. This time, a voltage lower than the NMOS transistor N1 threshold voltage V_{thn} ($2 \times V_{cc} - V_{thn}$) is supplied to the V_{pp} power supply node.

[0011] Fig. 13 is a circuit diagram showing a second booster potential generation circuit 1300 using a conventional triple well structure.

[0012] Referring to Fig. 13, the second booster potential generation circuit 1300 replaces the NMOS transistor N1 in the first booster potential generation circuit 1100 of Fig. 11 with a triple well structure NMOS transistor N1'.

[0013] In the triple well structure NMOS transistor N1', since the drain electrode and p-type well are connected by the triple well structure, a potential is applied to the n+ source electrode from the p-type well at the pn junction. Thus, the V_{pp} power supply node has a lower level pn junction voltage V_{jv} ($2 \times V_{cc} - V_{jv}$) than the ($2 \times V_{cc}$) level.

[0014] Since the pn junction potential V_{jv} is less than the threshold voltage V_{thn} , however, the second booster potential generation circuit 1300 can supply a high level booster voltage at a level higher than that of the first booster potential generation circuit 1100 to the V_{pp} power supply node.

[0015] Fig. 14 is a circuit diagram showing a conventional third booster potential generation circuit 1400. Referring to Fig. 14, the third booster potential generation circuit 1400 is configured by having a level

conversion circuit 1401 connected between the other electrode of the capacitor C_g and the output node of the clock signal generation circuit 401 in the first booster potential generation circuit 1100 of Fig. 11.

[0016] Fig. 15 is a circuit diagram showing an example of the level conversion circuit 1401 of Fig. 13. Referring to Fig. 15, the level conversion circuit 1401 is provided with PMOS transistors 1501 and 1502 [sic], NMOS transistors 1503 and 1504, and inverter 1505.

[0017] The source electrodes of the PMOS transistors 1501 and 1502 are both connected to the V_{pp} power supply. The drain electrode of the PMOS transistor 1501 is connected to the gate electrode of the PMOS transistor 1502 and the drain electrode of the NMOS transistor 1503, and the drain electrode of the PMOS transistor 1502 is connected to the gate electrode of the PMOS transistor 1501 and the drain electrode of the NMOS transistor 1504. The source electrodes of the NMOS transistors 1503 and 1504 are both grounded. A clock signal CLK output from the clock signal generation circuit 401 is input to the gate electrode (input node IN) of the NMOS transistor 1503, and the clock signal is inverted by the inverter and input to the gate electrode of the NMOS transistor 1504. The node (OUT) connected to the drain electrode of the NMOS transistor 1504 is connected to the other electrode of the capacitor C_g .

[0018] The amplitude of the clock signal CLK is amplified from amplitude (GND~ V_{cc}) to (GND~ V_{pp}) by the third booster potential generation circuit 1400, and boosts the potential of the capacitor C_g . Therefore, the threshold value does not fall since the potential of the node B of the

first electrode of the capacitor C_g is boosted to a higher level than $(2 \times V_{cc})$, and the potential of the gate electrode of the NMOS transistor N_1 increases. Then, the $(2 \times V_{cc})$ level voltage from the capacitor C_g is supplied to the V_{pp} power supply without reduction, a high level voltage can be supplied to the V_{pp} power supply which is higher than the voltages supplied by the first booster potential generation circuit 1100 of Fig. 11 and the second booster potential generation circuit 1300 of Fig. 13.

[0019] [PROBLEMS THE INVENTION IS TO SOLVE] When considering the low voltage operation of a DRAM including a booster potential generation circuit such as shown in Figs. 11, 13, and 14, a booster potential generation circuit with a high boosting efficiency is required so that the memory cell threshold value does not decrease the same percentage as the power supply voltage V_{cc} even though the power supply voltage decreases. Therefore, as described above, a means for decreasing the transistor threshold value was devised to derive a higher V_{pp} level. However, a resultant problem was the discrepancy between the timing of the amplification of the drain electrode potential of the transistor and the timing of the amplification of the gate electrode potential.

[0020] Fig. 16 is a timing chart showing the discrepancy between the timings of the amplification of the potentials of the node A (drain electrode) and node B (gate electrode) of the NMOS transistor in the conventional booster potential generation circuit.

[0021] Referring to Fig. 16, since the potential of the node A (drain electrode) decreased before the potential of the node B (gate electrode) decreased, the drain electrode

potential became lower than the potential of the Vpp power supply node with the NMOS transistors N1 and N1' remaining ON, and a current flowing in the reverse direction from the Vpp power supply was a problem.

[0022] Furthermore, since the first electrode of the capacitor Cp (gate electrode of the NMOS transistors N1 and N1') is not in a floating state relative to the floating state of the first electrode of the capacitor Cg (gate electrode of the NMOS transistors N1 and N1'), the working voltage levels of the nodes A and B are normally different over time, such that the level of the node A is lower than the Vcc level when again returned to the original level, and when the level of the node A (drain electrode of the NMOS transistors N1 and N1') becomes less than the level of the node B (gate electrode of the NMOS transistors N1 and N1'), a problem arises inasmuch as the NMOS transistors N1 and N1' are readily turned ON and there is a current flowing in a reverse direction from the Vpp power supply.

[0023] An object of the present invention is to eliminate the previously mentioned problems by providing a potential generation circuit capable of suppressing current consumption by supplying a stable level potential to a Vpp power supply or a Vbb power supply, and preventing a current flowing in a reverse direction from the Vpp power supply and preventing a current flowing in a reverse direction to the Vbb power supply.

[0024] [MEANS FOR SOLVING THE PROBLEMS] The potential generation circuit of Claim 1 of the present invention includes a transistor; a first capacitor which has one electrode connected to the gate electrode of the transistor;

a second capacitor which has one electrode connected to the source/drain electrode of the transistor; and a voltage supplying means for starting the supply of a first predetermined voltage to the other electrode of the first capacitor with a first timing, starting the supply of a second predetermined voltage to the other electrode of the second capacitor with a second timing which is slower than the first timing, stopping the supply of the second predetermined voltage to the other electrode of the second capacitor with a third timing which is slower than the second timing, and stopping the supply of the first predetermined voltage to the other electrode of the first capacitor with a fourth timing which is slower than the third timing.

[0025] The potential generation circuit of Claim 2, includes, the potential generation circuit of Claim 1, wherein the voltage supplying means is provided with a ring oscillator which has an odd number of inverters connected in series, a first pulse signal is output from a first inverter, a second pulse signal is output from a second inverter which is an odd number from the first inverter, a third pulse signal is output from a third inverter which is an odd number from the second inverter, and a fourth pulse signal is output from a fourth inverter which is an odd number from the third inverter; a first logic circuit which receives the first pulse signal and fourth pulse signal, and outputs the output signals to the other electrode of the first capacitor; and a second logic circuit which receives the second pulse signal and third pulse signal, and outputs the output signals to the other electrode of the second capacitor.

[0026] The potential generation circuit of Claim 3, includes, the potential generation circuit of Claim 1, wherein the voltage supplying means includes a pulse signal generating means for generating pulse signals; a first logic circuit for supplying a first predetermined voltage to the other electrode of the first capacitor based on the pulse signal generated by the pulse signal generating means; and a second logic circuit for supplying a second predetermined voltage to the other electrode of the second capacitor based on the pulse signal generated by the pulse signal generating means.

[0027] [EMBODIMENTS OF THE INVENTION] The embodiments of the present invention are described hereinafter with reference to the drawings.

[0028] (1) First Embodiment

Fig. 1 is a circuit diagram showing the booster potential generation circuit 100 of a first embodiment of the potential generation circuit of the present invention.

[0029] Referring to Fig. 1, the booster potential generation circuit 100 is provided with a NOR circuit 103, NAND circuit 105, buffers 107 and 109, capacitors C_p , C_g , C_1 , and C_2 , and NMOS transistors N_1 , and $N_{11}\sim N_{14}$.

[0030] A ring oscillator 101 is further provided with a NAND circuit 111, and inverters 112~117.

[0031] In the ring oscillator 101, the inverters 112~117 are connected in series to the output node a of the NAND circuit 111, and the output node d of the inverter 117 is connected to one input node of the NAND circuit 111. A

clock enable signal CLKE for controlling the ring oscillator 101 is input to the other input node of the NAND circuit 111. The ring oscillator 101 is activated when the clock enable signal CLKE is H level, and the ring oscillator 101 is deactivated when the clock enable signal CLKE is L level.

[0032] The output node a of the NAND circuit 111 of the ring oscillator 101 and the output node d of the inverter 117 are respectively connected to two input nodes of the NOR circuit 103. Furthermore, the output node b of the inverter 113 and the output node c of the inverter 115 are respectively connected to two input nodes of the NAND circuit 105.

[0033] The buffer 107 includes two inverters 121 and 122 connected in series, and the input node of the inverter 121 is connected to the output node e of the NOR circuit 103. The buffer 109 also includes two inverters 123 and 124 connected in series, and the input node of the inverter 123 is connected to the output node f of the NAND circuit 105.

[0034] One electrode of the capacitor Cg is connected to the gate electrode of the NMOS transistor N1 at node B, and the other electrode is connected to the output node of the inverter 122. Furthermore, one electrode of the capacitor Cp is connected to the drain electrode of the NMOS transistor N1 at node A, and the other electrode is connected to the output node of the inverter 124.

[0035] Similar to Figs. 11, 13, and 14, a precharging circuit is configured by the NMOS transistors N11 and N12, and capacitor C1 to precharge the node A to the power supply Vcc level, and a precharging circuit is configured by the

NMOS transistors N13 and N14 and the capacitor C2 to precharge the node B to the power supply Vcc level.

[0036] Fig. 2 is a timing chart showing the operation of the booster potential generation circuit 100 of Fig. 1.

[0037] Referring to Figs. 1 and 2, the clock enable signal CLKE is L level unit time t1, and the ring oscillator 101 is in a standby state.

[0038] The ring oscillator 101 is activated when the clock enable signal CLKE becomes H level at time t1, and a clock signal CLKa having a predetermined pulse width is output from the output node a of the NAND circuit 111 within the ring oscillator 101, as shown in Fig. 2. a clock signal CLKb, which has a phase delayed by Δt from the phase of the clock signal CLKa, is output the output node b of the inverter 113, a clock signal CLKc, which has a phase delayed by Δt from the phase of the clock signal CLKb, is output from the inverter 115, and a clock signal CLKd, which has a phase delayed by Δt from the phase of the clock signal CLKc, is output from the inverter 117.

[0039] The clock signals CLKa and CLKd, which have mutually shifted phases and are respectively output from the output nodes a and d, are input to the NOR circuit 103, and a pulse signal Se which has a pulse width T1 is output from the output node e of the NOR circuit 103. On the other hand, the clock signals CLKb and CLKc, which have mutually shifted phases and are respectively output from the output nodes b and c, are input to the NAND circuit 105, and a pulse signal Sf which has a pulse width T2 ($T2 > T1$) is output from the output node f of the NAND circuit 105.

[0040] The pulse signals S_e and S_f are repeatedly amplified at a timing such that the pulse signal S_e rises (for example time t_3 or t_7) after the rise of the pulse signal S_f (for example time t_2 or t_6); and thereafter, the pulse signal S_f falls (for example time t_5 or t_9) after the fall of the pulse signal S_e (for example time t_4 or t_8).

[0041] Since the pulse signal S_e is applied to the other electrode of the capacitor C_g through the buffer 107, and the pulse signal S_f is applied to the other electrode of the capacitor C_p through the buffer 109, when the pulse signal S_f rises, the node A, which has been precharged to the V_{cc} level, receives a further V_{cc} boost by the capacitor C_p , and a voltage that has been boosted from the V_{cc} level to the $(2 \times V_{cc})$ level is applied to the drain electrode of the NMOS transistor N1.

[0042] Then, when the pulse signal S_e rises, the node B, which has been precharged to V_{cc} level, receives a further V_{cc} boost by the capacitor C_g , and a voltage that has been boosted from the V_{cc} level to the $(2 \times V_{cc})$ level is applied to the gate electrode of the NMOS transistor N1. In this way the NMOS transistor N1 is turned ON, and a $(2 \times V_{cc})$ boosted voltage is supplied to the V_{pp} power supply node.

[0043] When a predetermined time T_1 has elapsed and the pulse S_e rises, the $(2 \times V_{cc})$ level voltage is not applied to the gate electrode of the NMOS transistor N1, the NMOS transistor N1 is turned OFF, and the supply of the $(2 \times V_{cc})$ level boosted voltage is cutoff to the V_{pp} power supply node.

[0044] When the pulse signal Sf falls, the supply of the ($2 \times V_{cc}$) level boosted voltage is stopped to the drain electrode of the NMOS transistor N1.

[0045] Accordingly, since the NMOS is turned ON when the voltage is applied to the gate electrode of the NMOS transistor N1 after the boosted voltage is started to the drain electrode of the NMOS transistor N1, and since the boosted voltage is topped to the drain electrode of the NMOS transistor N1 after voltage is stopped to the gate electrode of the NMOS transistor N1 and the NMOS transistor N1 is turned OFF, during the time the NMOS transistor N1 is ON a boosted voltage is normally applied to the Vpp power supply node, and reverse flowing current from the Vpp power supply node is prevented, thereby providing a potential generation circuit which is capable of suppressing current consumption by supplying a stable level potential to the Vpp power supply.

[0046] Figs. 3 and 4 are circuit diagrams showing other examples of a precharging circuit in the booster potential generation circuit 100 of Fig. 1.

[0047] Referring to Fig. 3, a diode 301 replaces the NMOS transistors N11 and N12 and capacitor C1 forming a precharging circuit, and a diode 303 replaces the NMOS transistors N13 and N14 and capacitor C2 forming a precharging circuit; the input nodes of the diodes 301 and 303 are both connected to a Vcc power supply, and the output node of the diode 301 is connected to the node A, and the output node of the diode 303 is connected to the node B.

[0048] Referring to Fig. 4, the NMOS transistors N11

and N12 and capacitor C1 forming the precharging circuit are replaced by a diode-connected NMOS transistor N15, and the NMOS transistors N13 and N14 and capacitor C2 forming the precharging circuit are replaced by a diode-connected NMOS transistor N16; the gate electrode and drain electrode of the NMOS transistors N15 and N16 are both connected to a Vcc power supply, and the source electrode of the NMOS transistor N15 is connected to the node A, and the source electrode of the NMOS transistor N16 is connected to the node B.

[0049] The booster potential generation circuits 300 and 400 shown in Figs. 3 and 4 operate the same as the booster potential generation circuit 100 shown in Fig. 1, and provide the same effect.

[0050] In the booster potential generation circuits 300 and 400, the nodes A and B are only boosted to $(V_{cc} - V_{thn})$ level.

[0051] In the booster potential generation circuits 100, 300 and 400, pulse signals CLKb and CLK c are input to the NOR circuit 103 rather than the pulse signals CLK a and CLK d, or the pulse signals CLKa and CLKd are input to the NAND circuit 105 rather than the pulse signals CLKb and CLKc, such that pulse signals identical to the pulse signals Se and Sf of Fig. 2 are generated, and similar effect is obtained.

[0052] Fig. 5 is a circuit diagram showing a first embodiment of the negative potential generation circuit 500 of the potential generation circuit of the present invention.

[0053] In the case of a negative potential generation circuit is also possible to supply a negative voltage to the Vbb power supply node by a pulse signal similar to Fig. 2.

[0054] Referring to Fig. 5, the negative potential generation circuit 500 replaces the NMOS transistor N1 of the booster potential generation circuit 100 of Fig. 1 with a PMOS transistor P1; replaces the NMOS transistors N11 and N12 and capacitor C1, and the NMOS transistors N13 and N14 and capacitor C2, forming the prechargers with PMOS transistors P11 and P12 and capacitor C1', and PMOS transistors P13 and P14 and capacitor C2'; and replaces the buffers 107 and 109 with inverters 501 and 502.

[0055] Precharging circuits are formed by the PMOS transistors P11 and P12 and the capacitor C1', and the PMOS transistors P13 and P14 and the capacitor C2', and the nodes A' and B' are respectively precharged to a -Vcc level.

[0056] According to the same timing chart of Fig. 2, when the pulse signal Sf level falls, the potential of the node A' is boosted from the GND level to the Vcc level by the capacitor Cp, and the -Vcc level negative voltage is supplied to the drain electrode of the NMOS [sic] transistor P1. Then, when the pulse signal Se level falls, the potential of the node B' is boosted from the GND level to the Vcc level by the capacitor Cg, and the -Vcc level negative voltage is supplied to the gate electrode of the PMOS transistor P1. In this way the PMOS transistor P1 is turned ON, and a -Vcc level negative voltage is supplied to the Vbb power supply node.

[0057] Subsequently, when the pulse signal Se level rises after a certain predetermined time has elapsed, the -Vcc level voltage is not applied to the gate electrode of the PMOS transistor P1, such that the PMOS transistor P1 is turned OFF, and the supply of the -Vcc level negative voltage is cutoff to the Vbb power supply node. Then, when the pulse signal Sf level rises, the supply of the Vcc level negative voltage is stopped to the drain electrode of the PMOS transistor P1.

[0058] Accordingly, a potential generation circuit is provided which is capable of suppressing current consumption by preventing current from flowing in the reverse direction to the Vbb power supply, and supplying a stable level potential to the Vbb power supply.

[0059] (2) Second Embodiment

Fig. 6 is a circuit diagram showing a booster potential generation circuit of a second embodiment of the potential generation circuit of the present invention.

[0060] Referring to Fig. 6, the booster potential generation circuit 600 is provided with a clock signal generation circuit 401, inverters 602~605, NOR circuit 103, NAND circuit 105, buffers 107 and 109, NMOS transistors N1 and N11~N14, and capacitors Cp, Cg, C1, and C2.

[0061] The clock signal generation circuit 401 can use the ring oscillator shown in Fig. 7.

[0062] The output node of the clock signal generation circuit 401 is connected to one input node of the NOR circuit 103, one input node of the NAND circuit 105, and the

input nodes of the inverter 602 and 604. The inverter 603 is connected in series with the inverter 602, and the output node of the inverter 602 is connected to the other input node of the NOR circuit 103. The inverter 605 is connected in series with the inverter 604, and the output node of the inverter 605 is connected to the other input node of the NAND circuit 105.

[0063] Since the connection relationships among the various other elements is identical to those of the booster potential generation circuit 100 of Fig. 1, further description is therefore omitted.

[0064] Fig. 7 is a timing chart showing the operation of the booster potential generation circuit 600 of Fig. 6.

[0065] Referring to Fig. 7, a clock signal CLK output from the clock signal generation circuit 401 is input to one input node of the NOR circuit 103 and one input node of the NAND circuit 105. The clock signal CLK is also input to the other input node of the NOR circuit 103 through the inverters 602 and 603 after a delay of time Δt , and is input to the other input node of the NAND circuit 105 through the inverters 604 and 605 after a delay of time Δt (delay CLK of Fig. 6).

[0066] After the clock signal CLK and delay clock signal delay CLK, a pulse signal Se' is output from the NOR circuit 103, and a pulse signal Sf' is output from the NAND circuit 105.

[0067] Each of the single pulse signals Se' and Sf' correspond to the pulse signals Se and Sf of the first

embodiment, and the booster potential generation circuit 600 operates with the same timing as described in the first embodiment by means of these pulse signals Se' and Sf' .

[0068] That is, when the pulse signal Sf' rises, a $(2 \times V_{cc})$ level booster voltage is supplied to the drain electrode of the NMOS transistor N1 in response thereto; and then when the pulse signal Se' rises, a $(2 \times V_{cc})$ level booster voltage is supplied to the gate electrode of the NMOS transistor N1 in response thereto, such that the NMOS transistor N1 is turned ON, and a $(2 \times V_{cc})$ booster voltage is supplied to the V_{pp} power supply node. Then, when the pulse signal Se' falls after a predetermined time has elapsed, the $(2 \times V_{cc})$ level voltage is not applied to the gate electrode of the NMOS transistor N1 in response thereto, such that the NMOS transistor N1 is turned OFF and the supply of the $(2 \times V_{cc})$ level booster voltage is cutoff to the V_{pp} power supply node. Finally, when the pulse signal Sf' falls, the supply of the $(2 \times V_{cc})$ level booster voltage is stopped to the drain electrode of the NMOS transistor N1 in response thereto.

[0069] Accordingly, a potential generation circuit is provided which is capable of suppressing current consumption by preventing current from flowing in the reverse direction to the V_{bb} power supply, and supplying a stable level potential to the V_{bb} power supply.

[0070] Figs. 8 and 9 are circuit diagrams showing other examples of a precharging circuit in the booster potential generation circuit 600 of Fig. 6.

[0071] Referring to Fig. 8, the booster potential

generation circuit 800 provides a V_{cc} power supply-connected diode 301 is connected to the node A, and a V_{cc} power supply-connected diode 303 is connected to the node B.

[0072] Referring to Fig. 9, the booster potential generation circuit 900 rearranges the diodes 301 and 303 of Fig. 8 with NMOS transistors N15 and N16 connected to the diodes.

[0073] The booster potential generation circuits 800 and 900 produce the same effect as the booster potential generation circuit 600 of Fig. 6.

[0074] In the booster potential generation circuits 800 and 900, the nodes A and B are only boosted to the $(V_{cc} - V_{thn})$ level, respectively.

[0075] Fig. 10 is a circuit diagram showing a negative potential generation circuit 1000 of a second embodiment of the potential generation circuit of the present invention.

[0076] Referring to Fig. 10 the negative potential generation circuit 1000 replaces the NMOS transistors N1, N11~N14, and capacitors C1 and C2 of the booster potential generation circuit 600 of Fig. 6 with PMOS transistors P1, P11~P14, and capacitors C1' and C2'.

[0077] Precharging circuits are formed by the PMOS transistors P11 and P12 and the capacitor C1', and the PMOS transistors P13 and P14 and the capacitor C2', and the nodes A' and B' respectively precharged to the $-V_{cc}$ level.

[0078] With a timing identical to the timing chart of

Fig. 7, the capacitor C_p boosts the potential of the node A' from GND level to the V_{cc} level and a $-V_{cc}$ level negative voltage is supplied to the drain electrode of the PMOS transistor P_1 . Then, the capacitor C_g boosts the potential of the node B' from GND level to the V_{cc} level and a $-V_{cc}$ level negative voltage is supplied to the gate electrode of the PMOS transistor P_1 . In this way the PMOS transistor P_1 is turned ON, and a $-V_{cc}$ level negative voltage is applied to the V_{bb} power supply node.

[0079] Subsequently, after a certain predetermined time has elapsed, the $-V_{cc}$ level voltage is not supplied to the gate electrode of the PMOS transistor P_1 , the PMOS transistor P_1 is turned OFF, and the supply of the $-V_{cc}$ negative voltage is cutoff to the V_{bb} power supply node. Then, the supply of the $-V_{cc}$ negative voltage is stopped to the drain electrode of the PMOS transistor P_1 .

[0080] Accordingly, a potential generation circuit is provided which is capable of suppressing current consumption by preventing current from flowing in the reverse direction to the V_{bb} power supply, and supplying a stable level potential to the V_{bb} power supply.

[0081] [EFFECT OF THE INVENTION] The potential generation circuit of the present invention suppresses current consumption by preventing current from flowing in the reverse direction from the V_{pp} power supply or flowing in a reverse direction to the V_{bb} power supply, and supplies a stable level potential to the V_{pp} power supply or V_{bb} power supply.

[BRIEF DESCRIPTION OF THE DRAWINGS]

Fig. 1 is a circuit diagram showing a booster potential generation circuit of a first embodiment of the potential generation circuit of the present invention;

Fig. 2 is a timing chart showing the operation of the booster potential generation circuit of Fig. 1;

Fig. 3 is a circuit diagram showing an example of a precharging circuit in the booster potential generation circuit of Fig. 1;

Fig. 4 is a circuit diagram showing another example of a precharging circuit in the booster potential generation circuit of Fig. 1;

Fig. 5 is a circuit diagram showing a negative potential generation circuit of a first embodiment of the potential generation circuit of the present invention;

Fig. 6 is a circuit diagram showing a booster potential generation circuit of a second embodiment of the potential generation circuit of the present invention;

Fig. 7 is a timing chart showing the operation of the booster potential generation circuit of Fig. 6;

Fig. 8 is a circuit diagram showing another example of a precharging circuit in the booster potential generation circuit of Fig. 6;

Fig. 9 is a circuit diagram showing another example of a precharging circuit in the booster potential generation circuit of Fig. 6;

Fig. 10 is a circuit diagram showing a negative potential generation circuit of a second embodiment of the potential generation circuit of the present invention;

Fig. 11 is a circuit diagram showing a first conventional booster potential generation circuit;

Fig. 12 is a circuit diagram showing an example of the clock signal generation circuit 401 of Fig. 11;

Fig. 13 is a circuit diagram showing a second booster

potential generation circuit using a conventional triple well structure;

Fig. 14 is a circuit diagram showing a third conventional booster potential generation circuit;

Fig. 15 is a circuit diagram showing an example of the level conversion circuit 901 of Fig. 14; and

Fig. 16 is a timing chart showing the shift in the phase amplitude between the gate electrode and drain electrode of the NMOS transistor in the conventional booster potential generation circuit.

[DESCRIPTION OF THE REFERENCE NUMBERS]

100, 300, 400, 600, 800, 900) Booster potential generation circuit

500, 1000) Negative potential generation circuit

N1) NMOS transistor

P1) PMOS transistor

Cp, Cg) Capacitor

101) Ring oscillator

112~117, 602~605) Inverter

103) NOR circuit

105, 111) NAND circuit

401) Clock signal generation circuit

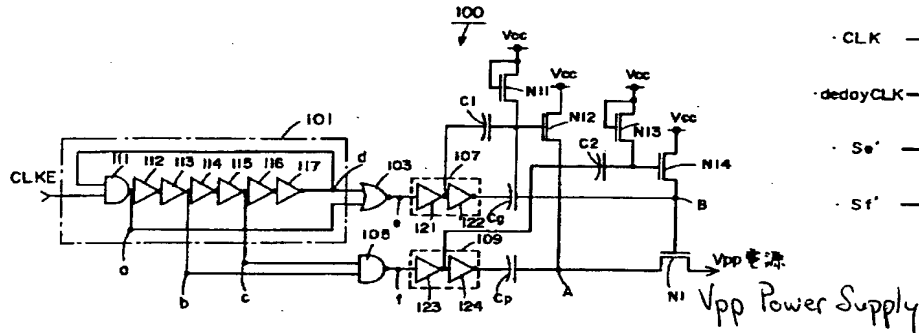
【図16】 従来の昇圧電位発生回路におけるNMOSトランジスタのドレイン電極とゲート電極との電位の振幅のずれを示すタイミングチャートである。

【符号の説明】

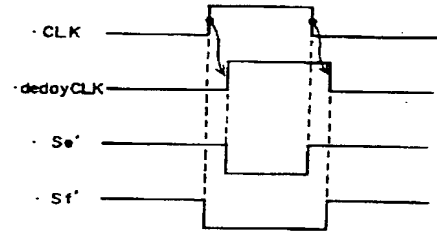
100, 300, 400, 600, 800, 900 昇圧電位発生回路、500, 1000 負電位発生回路、*

*N1 NMOSトランジスタ、P1 PMOSトランジスタ、Cp、Cg キャパシタ、101 リングオシレータ、112~117, 602~605 インバータ、103 NOR回路、105, 111 NAND回路、401 クロック信号生成回路。

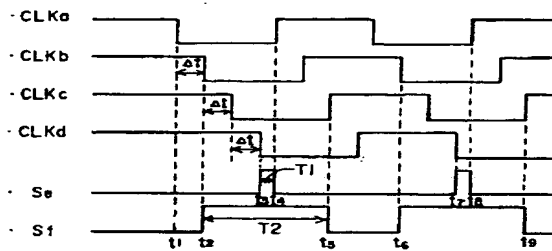
【図1】 Fig. 1



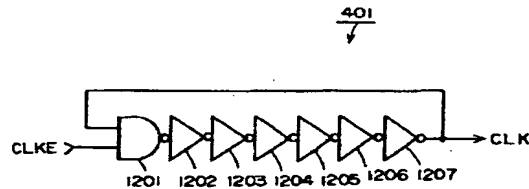
【図7】 Fig. 7



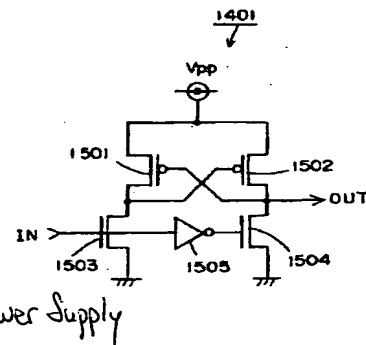
【図2】 Fig. 2



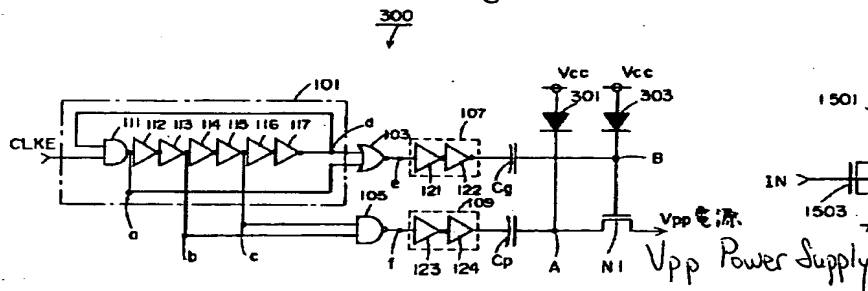
【図12】 Fig. 12



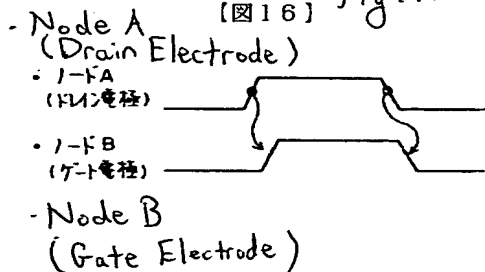
【図15】 Fig. 15



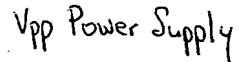
【図3】 Fig. 13



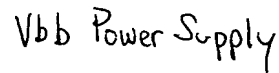
【図16】 Fig. 16



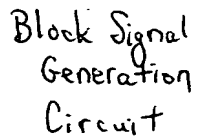
400
↓



500

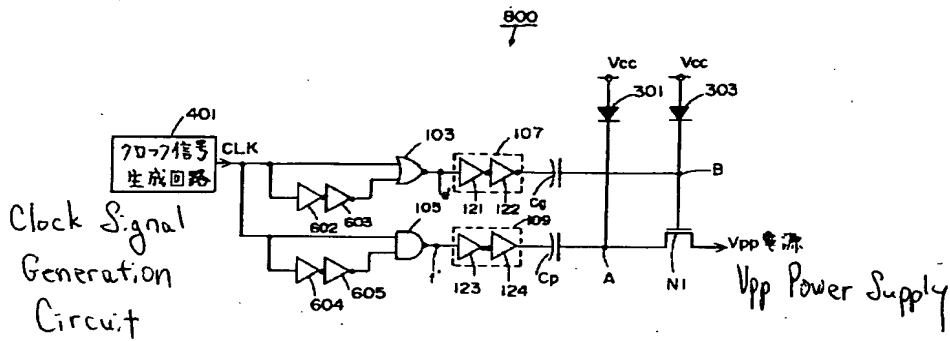


600

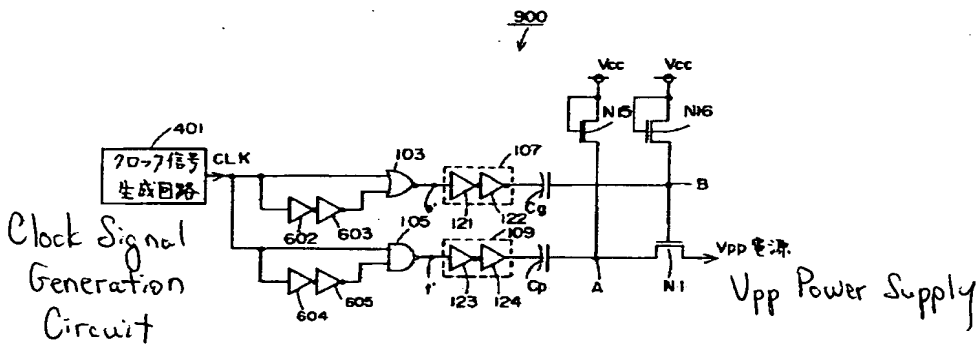


V_{pp} Power Supply

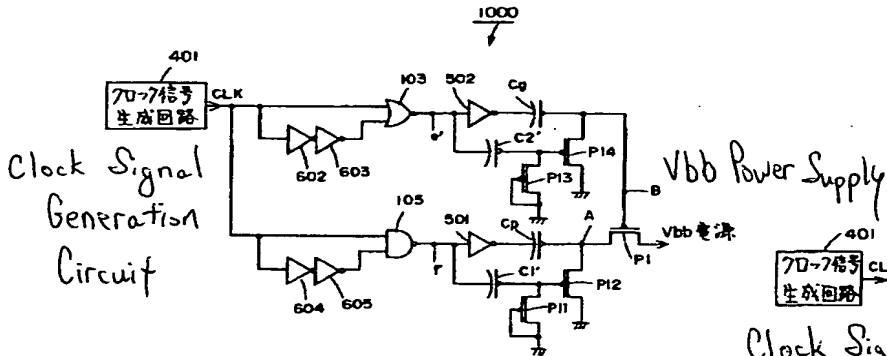
【図8】 Fig. 8



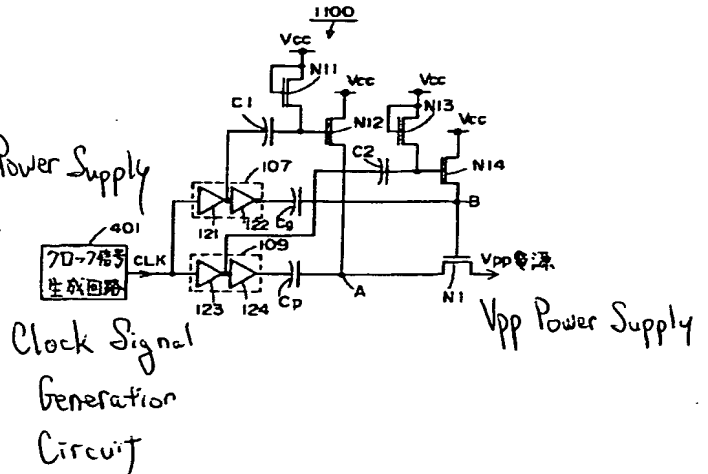
【図9】 Fig. 9



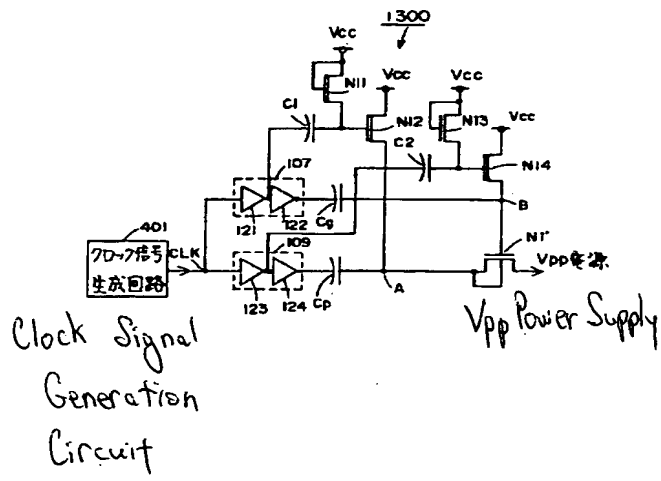
【図10】 Fig. 10



【図11】 Fig. 11



【図13】 Fig. 13



【図14】 Fig. 14

